

## Top oder Flop – Eine Frage des Layouts

### Einleitung:

Bei Stromversorgungen hat das Layout einen ganz entscheidenden Einfluss auf die Funktionalität. Auch wenn eine Stromversorgungsschaltung auf dem Papier richtig dimensioniert wurde, heißt das noch lange nicht, dass sie auch in der Praxis so funktioniert wie erhofft. Dies ist alleine eine Frage des richtigen Layouts. Dieser Artikel gibt wichtige Hinweise auf das Layout von Stromversorgungen. Vergleichsmessungen an zwei identischen Stromversorgungen mit unterschiedlichen Layouts untermauern eindrucksvoll seine Wichtigkeit.

### Grundlagen – Parasitäre Elemente gedruckter Schaltungen.

#### A) Gleichstromwiderstand

In Stromversorgungen mit hohen Ausgangsströmen müssen Verluste aufgrund von Leiterbahnwiderständen berücksichtigt werden. Sie verringern den Wirkungsgrad, können Probleme bei der Kühlung darstellen und beeinflussen die Ausgangsspannungsregelung. Der Widerstand einer Leiterbahn berechnet sich wie folgt:

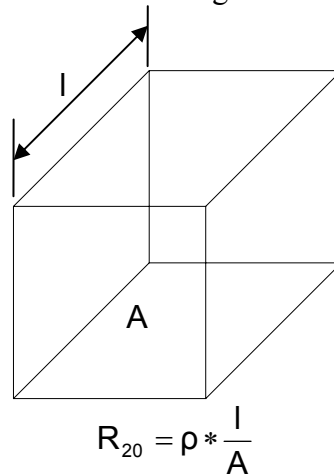


Bild 1: Widerstand einer Leiterbahn

$\rho$ : Spezifischer Widerstand des Leiterbahnmaterials ( $1.7 \times 10^{-8}$  Ohm/m für Kupfer bei  $20^\circ\text{C}$ )

$l$ : Länge der Leiterbahn

$A$ : Querschnittsfläche der Leiterbahn

Der Widerstand ist temperaturabhängig mit

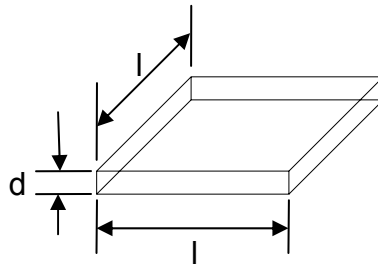
$$R_w = R_{20} * (1 + \alpha * \Delta T)$$

$R_{20}$ : Leiterbahnwiderstand bei  $20^\circ\text{C}$

$\alpha$ : Temperaturkoeffizient

$\Delta T$ : Temperaturerhöhung in Kelvin

Die Widerstandsberechnung lässt sich vereinfachen indem man Leiterbahnquadrate zählt. Werden in der Widerstandsformel Länge und Breite äquivalent gemacht, so kürzen sie sich heraus und der Leiterbahnwiderstand hängt nur noch von der Dicke und dem spezifischen Materialwiderstandes ab. Dies ist in Bild 2 dargestellt. Anstelle die Länge der Leiterbahn zu messen, zählt man nur noch die Anzahl der Quadrate, die in diese Leiterbahn passen, und multipliziert sie mit den Werten aus Tabelle 1.



$$R_{20} = \rho * \frac{l}{l * d} = \frac{\rho}{d}$$

Bild 2: Leiterbahnquadrat

$R_{20}$ : Leiterbahnwiderstand bei 20°C  
 $\rho$ : Spezifischer Widerstand des Leiterbahnmaterials  
 d: Dicke der Leiterbahn

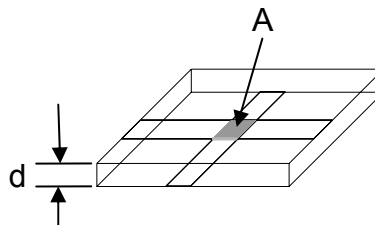
Kupferdicke	mΩ/quadrat 25°C	mΩ/quadrat 100°C
35um	0,5	0,6
70um	0,2	0,3

Tabelle 1: Widerstand /Leiterbahnquadrat

### B) Wechselstromwiderstand

Eine Leiterbahn hat neben dem ohmschen Widerstand auch noch einen Wechselstromwiderstand. Dieser ist induktiv und als Daumenregel lassen sich ca. 6nH pro Leiterbahn-Zentimeter annehmen. Wenn die Leiterbahn oberhalb einer Massefläche geführt wird, so reduziert sich die Induktivität um 1/5 auf etwa 1.2nH/cm.

Werden zwei Leiterbahnen übereinander geführt, bildet sich zwischen ihnen auch ein kapazitiver Anteil aus. Dies kann zu unerwünschten Übersprechen führen oder vorteilhaft zur Dämpfung von hohen Frequenzanteilen eingesetzt werden. Bei übereinander liegenden Leiterbahnen wirkt das Platinenmaterial als Dielektrikum. Die relative Dielektrizitätskonstante von Platinenmaterial liegt in der Größenordnung von 4.1F/m. Die Kapazität zweier übereinander liegender Leiterbahnen berechnet sich dann wie folgt:



$$C = \frac{\epsilon_r * \epsilon_0 * A}{d}$$

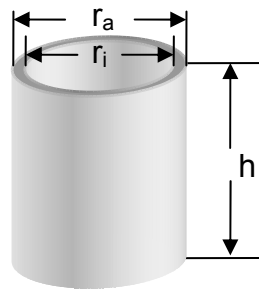
Bild 3: Kapazität zwischen Leiterbahnen

C: Kapazität zwischen den Leiterbahnen  
 $\epsilon_r$ : relative Dielektrizitätskonstante des Leiterplattenmaterials  
 $\epsilon_0$ : natürliche Dielektrizitätskonstante  
 A: Überlappende Fläche der Leiterbahnen  
 d: Abstand der beiden Leiterbahnen

Die sich ergebenden Kapazitäten mögen gering erscheinen – im Bereich von fF. Bei extrem schnellen Spannungsänderungen von 1V/ns wie sie z.B. beim gemeinsamen Verbindungspunkt der beiden MOSFETs bei synchronen Abwärtswandlern vorkommen, können aber schon 1pF parasitäre Kapazität einen Stromfluss von 1mA hervorrufen.

### C) Durchkontaktierungen

Ebenso wie Leiterbahnen besitzen auch Durchkontaktierungen einen elektrischen Widerstand und Induktivität. Der Widerstand einer Durchkontaktierung lässt sich wie folgt berechnen:



$$R = \frac{\rho * h}{\pi * (r_a^2 - r_i^2)}$$

Bild 4: Geometrie einer Durchkontaktierung und Widerstandsberechnung

- R: Widerstand der Durchkontaktierung
- $\rho$ : spezifischer Widerstand des Materials der Durchkontaktierung
- h: Höhe der Durchkontaktierung
- $r_i$ : Innendurchmesser
- $r_a$ : Aussendurchmesser

Als Anhaltspunkt begrenzt man den Strom durch eine Durchkontaktierung üblicherweise auf 1...3A. Neben einem ohmschen Widerstand besitzt eine Durchkontaktierung auch eine Induktivität. Sie lässt sich näherungsweise mit folgender Formel berechnen [3]:

$$L \approx 200\text{pH} * \frac{h}{\text{mm}} * \left[ \ln\left(\frac{4h}{d}\right) + 1 \right]$$

- L: Induktivität Durchkontaktierung
- h: Höhe der Durchkontaktierung
- d: Durchmesser der Durchkontaktierung

### D) Stromschleifen und Induktivität

Ströme fließen immer in einer Schleife und rufen dabei ein Magnetfeld hervor. Wenn sich der Strom ändert, ändert sich auch die Stärke des Magnetfeldes und es wird eine Induktionsspannung erzeugt.

Das Faraday'sche Gesetz bestimmt die Höhe der erzeugten Spannung:

$$V_{\text{ind}} = -\frac{d\Phi}{dt} = -L \frac{di}{dt} \quad \text{mit} \quad \Phi = \int_A \mathbf{B} \cdot d\mathbf{A} = L \cdot I$$

L ist also auch von der Geometrie des Leiters abhängig. Je größer seine Fläche, desto höher ist seine Induktivität. Nach dem Faraday'schen Gesetz hat eine höhere Induktivität bei gleicher Stromänderungsgeschwindigkeit eine höhere Selbstinduktionsspannung zur Folge. Prinzipiell

sollte man Leiterschleifen mit hohem  $di/dt$  so legen, dass ihre eingeschlossene Fläche so gering wie möglich wird. Damit können Spannungsüberschwinger klein gehalten werden.

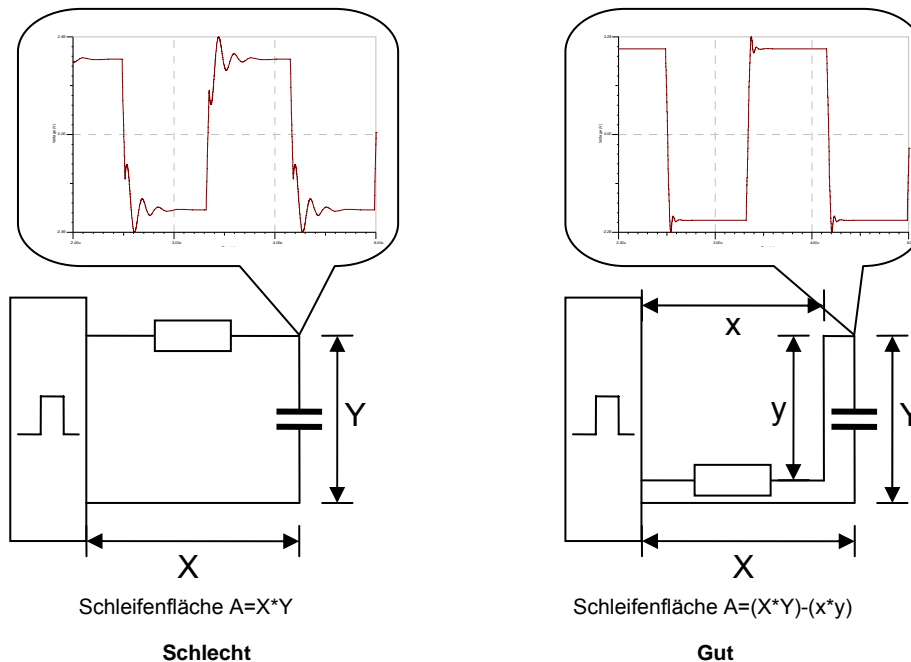


Bild 5: Schleifeninduktivität und Auswirkungen auf Überschwinger

## Schritt für Schritt Anleitung zum richtigen Layout

### 1. Der Zusammenhang zwischen Stromlaufplan und Layout

Ein erfolgreiches Layout beginnt mit einem durchdachten Stromlaufplan. Mehr oder weniger bewusst wird sich der Layouter an der Lage der Bauelemente im Stromlaufplan orientieren. Daher ist es wichtig, ICs mit ihrer physikalischen Pinanordnung im Stromlaufplan einzuzeichnen. Es sollte vermieden werden, die Pins des ICs im Stromlaufplan anders anzuordnen als dies in Wirklichkeit der Fall ist, nur um die Übersichtlichkeit im Schaltplan zu steigern. Entkoppelkondensatoren werden in nächster Nähe zum IC gezeichnet. Besitzt ein IC zwei GND-Anschlüsse (Signal-GND (SGND) u. Power-GND (PGND)), dann sollten Bauteile, die zur Programmierung des Steuer-ICs dienen (z.B. RT für die Schaltfrequenz, oder der Soft Start Kondensator), bereits im Schaltplan auf SGND bezogen werden. Entkoppelkondensatoren für die Gatetreiber und die Rückführungsleitungen der Gatetreiber bezieht man hingegen bereits im Schaltplan optisch sichtbar auf PGND. Eine kurze Verbindungsleitung zwischen SGND und PGND markiert den niederohmigen Zusammenschluss von SGND und PGND.

Für die Leistungsstufe gilt Ähnliches. Insbesondere sollte der Hochfrequenz-Entkoppelkondensator in unmittelbare Nähe der Schalt-MOSFETs gezeichnet werden. Im Layout muss er auch so nah wie möglich dort angeschlossen werden.

Den Ausgangsspannungsteiler zeichnet man nicht am Ausgang ein, sondern führt ihn über eine extra Leitung nahe an das Steuer-IC heran. Die Ausgangsspannung ist niederohmig, die Mittenspannung des Spannungsteilers dagegen hochohmig. Hier besteht leicht die Gefahr von Störeinstrahlungen über eine lange Leitung. Auch beim Kompensationsnetzwerk ist auf eine richtige Anordnung der Bauelemente zu achten. So sollten am hochohmigen und sehr empfindlichen feedback pin die Widerstände des Kompensationsnetzwerkes und nicht die Kondensatoren angeschlossen werden. Der Grund liegt in der Einkopplung von hochfrequenten Störsignalen, z.B. am Verbindungspunkt Widerstand R5 und Kondensator C8 (siehe Bild 6). Bei hohen Frequenzen ist die Impedanz des Kondensators sehr gering. Somit wird ein Störsignal über den Kondensator C8 an Vout abgeleitet, was kleinsignalmäßig fast einem Kurzschluss

gleichkommt. Gleichzeitig wirkt der Widerstand R5 dämpfend auf das Störsignal und leitet es nur abgeschwächt an den feedback pin. Eine Störung hat somit geringere Chancen sich negativ auf die Regeleigenschaften auszuwirken. Bild 6 zeigt einen Stromlaufplan, in dem die beschriebenen Regeln berücksichtigt wurden.

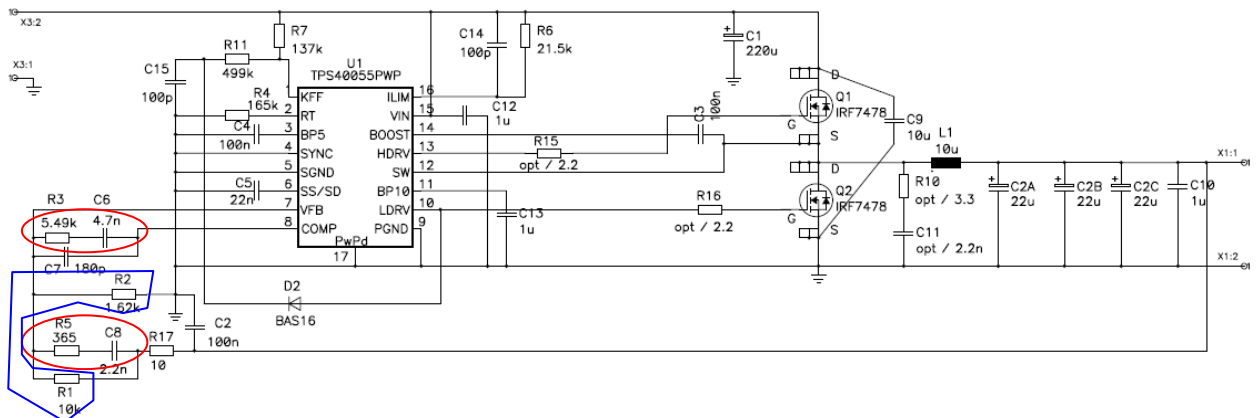


Bild 6: Beispiel für einen guten Stromlaufplan einer Stromversorgung

## 2. Richtige Masseführung

Die richtige Masseführung ist für die korrekte Funktion eines Schaltspannungswandlers unerlässlich. Nach Möglichkeit sollte mit einer eigenen Masselage gearbeitet werden und auch auf der Bestückungsseite darf viel Massekupfer übrig bleiben. Masselagen reduzieren die Schleifenfläche von Leiterbahnen, die auf Masse bezogene Ströme führen, und damit die Induktivität [1].

Am Steuer-IC schafft man eine Masseinsel auf die alle Steuersignale des ICs bezogen werden. Dabei darf die Masseinsel ausschließlich am GND pin des Controller-ICs an Masse angeschlossen werden. Dadurch wird verhindert das Ströme durch sie hindurchfließen, welche Spannungsabfälle und Störungen hervorrufen können. Diese Störungen würden dann in den Signalteil des ICs eingekoppelt und dort zu Fehlfunktionen führen. Besitzt das Steuer-IC getrennte Masseanschlüsse für SGND und PGND, so wird die Masseinsel für die Steuersignale zunächst an SGND angeschlossen und von dort auf kürzestmöglichem Weg an PGND. Dadurch wird sichergestellt, dass sich keine Spannungsdifferenzen zwischen den Anschlüssen PGND und SGND ausbilden können. Spannungsdifferenzen zwischen diesen beiden Pins können latch up zur Folge haben und die Funktion des ICs beeinträchtigen.

Der PGND-Anschluss des ICs ist mit der Masselage der Leiterplatte zu verbinden. Auf diese Masselage werden auch der Eingangsentkoppelkondensator und die lowside MOSFET Leistungsstufen bezogen. Der Eingangskondensator dient dabei auch der Anbindung weiterer Masselage(n). Bild 7 stellt die beschriebenen Punkte grafisch dar.

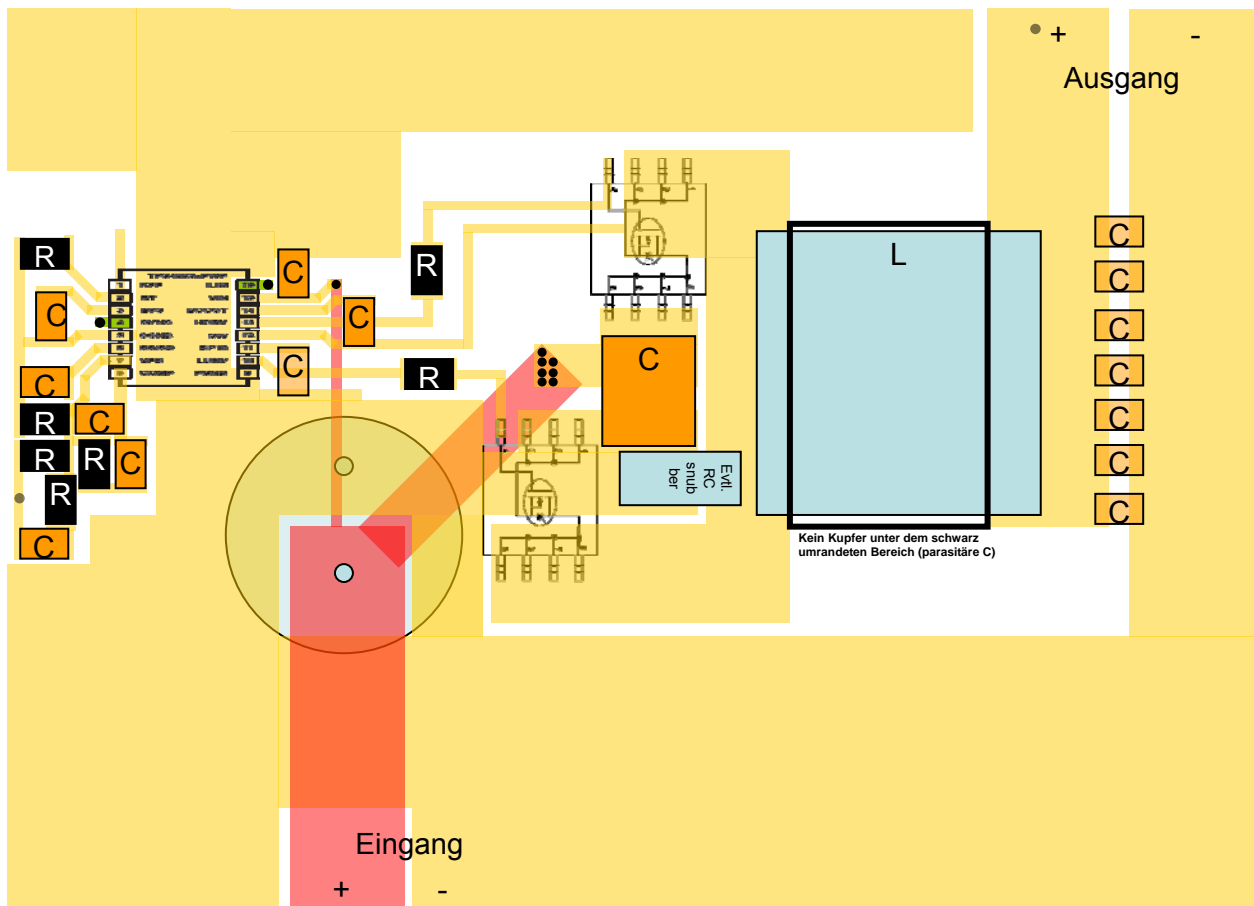
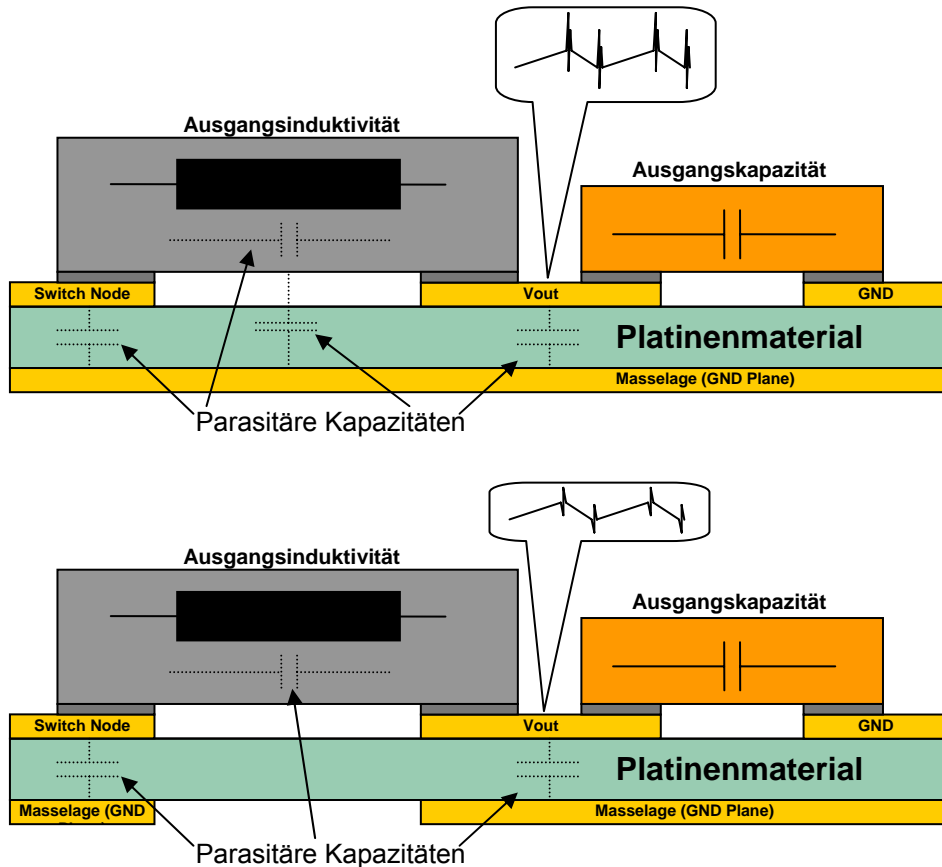


Bild 7: Richtige Masseführung

### 3. Layout der Leistungsstufe

In der Leistungsstufe fließen hohe Ströme und deswegen ist es hier enorm wichtig auf enge Leiterschleifen zu achten. Eine kleine eingeschlossene Fläche verringert die Induktivität und vermindert die Störausstrahlung. Aber auch parasitäre Kapazitäten gilt es gering zu halten. Insbesondere ist eine kleine Fläche am „heißen Ende der Induktivität“ (engl. auch „Switch node“ genannt) wichtig. Dieser Punkt stellt in einem Abwärtsrichter die Stelle mit dem höchsten  $dV/dt$  dar. Jegliche Kapazität an diesem Punkt erhöht die Gefahr einer Störeinstrahlung in andere sensible Kreise der Stromversorgung. Daher sollten sämtliche hochimpedante Leitungen möglichst weit weg vom Switch node verlegt werden. Unterhalb der Ausgangsinduktivität dürfen keine Leitungen verlegt werden und auch die Masselage sollte an dieser Stelle ausgespart bleiben. Typischerweise weist die Ausgangsspannung Nadelimpulse an den Schaltflanken der Rechteckspannung auf. Diese Nadelimpulse werden durch kapazitive Effekte vom Switch node in die Ausgangsspannung eingekoppelt. Ein Teil dieser parasitären Kapazität ist Bestandteil der Induktivität, ein anderer Teil entsteht durch Leiterplattenkapazität. Den kapazitiven Anteil der Induktivität kann man nur durch geschickte Bauelementauswahl vermindern. Die Leiterplattenkapazität liegt jedoch weitgehend in der Hand des Layouters. Wird die Masselage unterhalb der Induktivität ausgespart, kann sich auch keine Kapazität zwischen Induktivität und Masselage ausbilden. Somit ist auch der Anteil der eingekoppelten Nadelimpulse in die Ausgangsspannung geringer. Siehe hierzu auch Bild 8.



*Bild 8: Geringere Nadelimpulse am Ausgang durch Verminderung parasitärer Kapazitäten*

Das kritischste Bauteil im Layout ist der Entkoppelkondensator über den Leistungs-MOSFETs. Hier dürfen nur Kondensatoren mit extrem niedrigen ESR- und ESL-Werten zum Einsatz kommen. Wenn es die Spannungsbelastbarkeit zulässt, eignen sich keramische Kondensatoren dafür am besten. Der Kondensator ist in **unmittelbarer Nähe zu den Leistungs-MOSFETs** zu platzieren. Wird dies nicht beachtet, führen parasitäre Induktivitäten zu extremen Überschwingern, welche den Ausfall der Stromversorgung zur Folge haben können. Der Kondensator liefert den Strom für die Umschaltvorgänge der MOSFETs und ist einer sehr hohen Ripplestrombelastung ausgesetzt. Er muss diesen Belastungen thermisch standhalten können. Wenn ein einzelner Kondensator nicht ausreicht, hilft man sich durch Parallelschaltung aus. Bild 9 stellt die besprochenen Punkte nochmals grafisch dar.

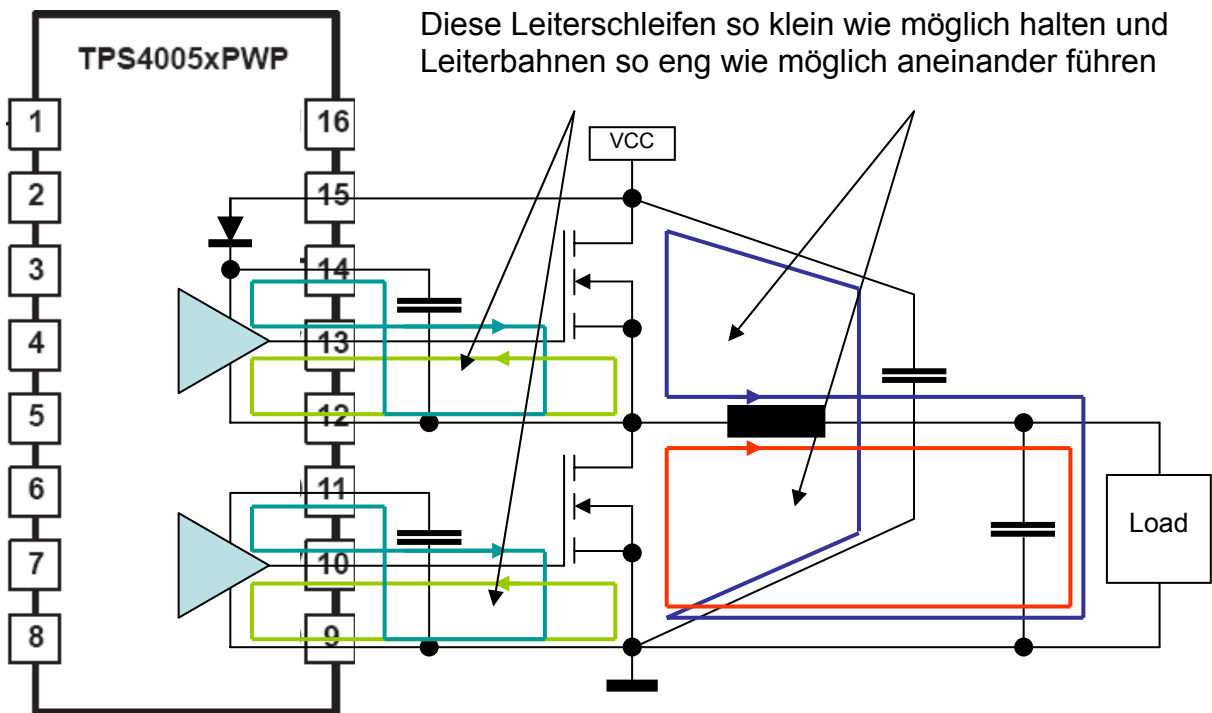


Bild 9: Kritische Schleifen deren Flächen so klein wie möglich gehalten werden sollten

Die Anschlüsse der Ausgangsfilterkondensatoren sind zur Verminderung von Impedanzen kurz zu halten. Werden die Ausgangsleiterbahnen eng aneinander zur Last geführt, entsteht durch die sich zwischen ihnen ausbildende Leiterbahnkapazität eine weitere Filterwirkung für besonders hohe Frequenzanteile, wie die Nadelimpulse des switch nodes.

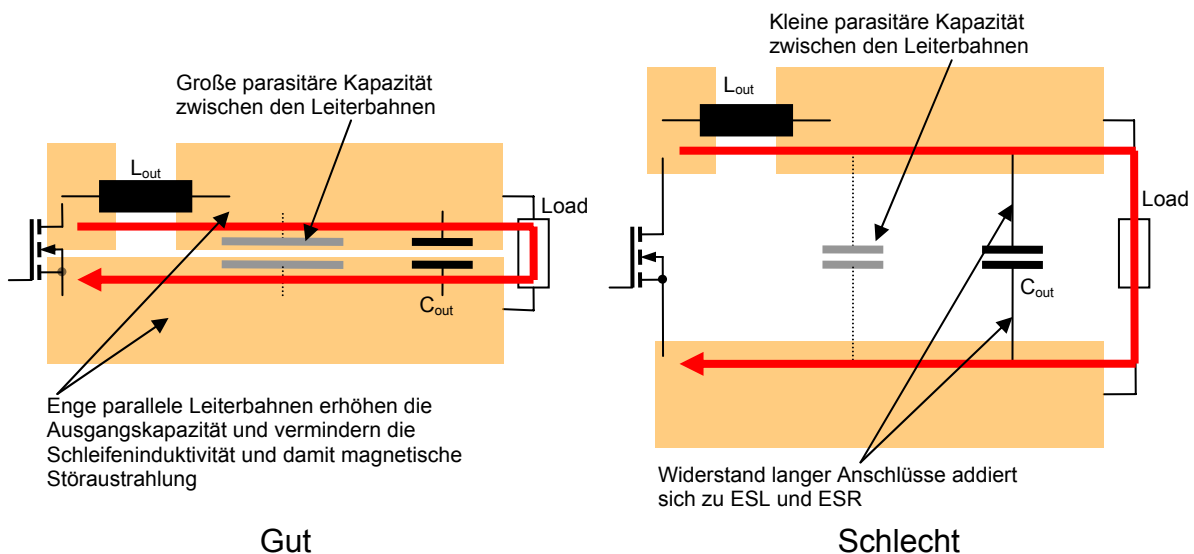


Bild 10: Enge Leiterbahnführung am Ausgang erhöht die Filterwirkung durch Leiterplattenkapazität

#### 4. Layout der MOSFET Treiberstufe

Wie bereits öfters erwähnt, lauern auch in der MOSFET Treiberstufe die größten Gefahren in parasitären Induktivitäten. Kurze Leitungen und enge Leiterschleifen zu den MOSFET Gates sind daher wichtig. Hin- und Rückleitung sind so dicht wie möglich aneinander zu führen um die Induktivitäten zu reduzieren. Eine Nichtbeachtung dieser Regel führt zu hohen Überschwüngen der Gatetreiber signale. Diese schauen auf dem Oszilloskop nicht nur unschön aus, sondern verursachen auch unnötige EMI Störsignale und schädigen nicht selten die MOSFET Treiber im Steuer-IC. Im Fachjargon werden diese Art der Ausfälle der Steuer-ICs



auch mit „EOS“ (electrical overstress) abgekürzt. Durchkontaktierungen in den Gateleitungen erhöhen ebenso die Induktivität und sollten vermieden werden. Durch geschicktes Layout lassen sich Treiberstufe und MOSFETs meist auf derselben Lage ohne Durchkontaktierungen verlegen. Eine kurze Rechnung unterstreicht die Wichtigkeit einer induktivitätsarmen Leiterbahnführung.

Bonddrähte im IC haben typischerweise eine Induktivität von ca. 2nH. Eine typische Abschaltzeit für einen low side Treiber liegt im Bereich von 24ns in eine kapazitive Last von 2.2nF. Nimmt man für den RDSon-Widerstand des Treibers einen Wert von 50ohm an, ergibt t sich bei einer Treiberspannung von 10V ein Spitzenstrom von etwa 2 A. Bei 4cm Leitungslänge und einer Induktivität von 6nH/cm entstehen damit folgende Spannungen:

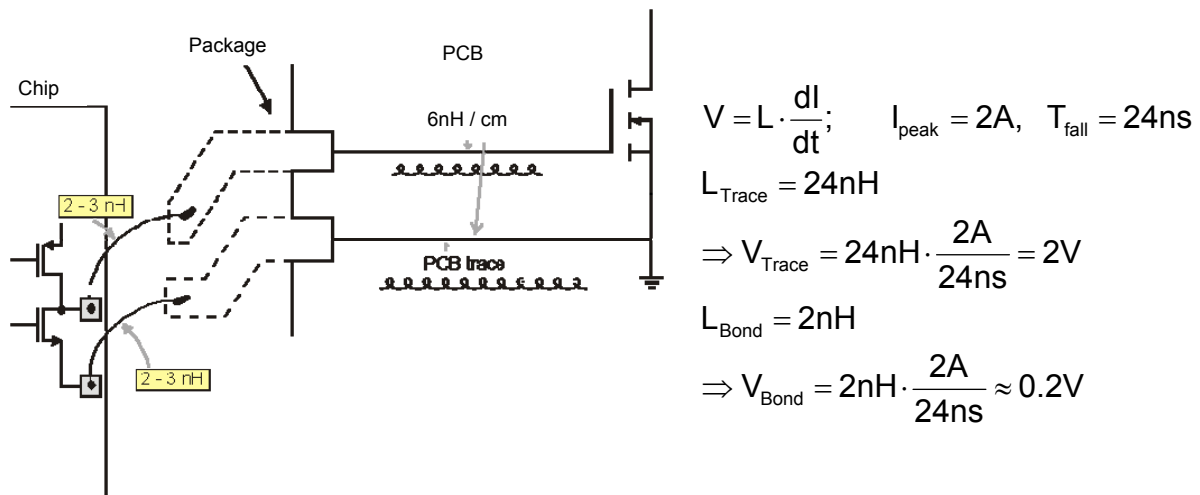


Bild 11: Induktivitäten in der Gatetreiberleitung

Damit ergeben sich Überschwinger am Gatetreiberausgang von 2.2V. Diese Überschwinger können nicht nur die Funktion des Gatetreibers beeinträchtigen, sie können auch dazu führen dass MOSFETs mit einer sehr niedrigen Abschnürspannung nicht richtig ausgeschaltet werden. Das führt zu Querleitungsströmen, einer Minderung des Wirkungsgrades und kann den Ausfall der Stromversorgung bedeuten.

## 5. Layout des Steuer-ICs

Beim Layout des Steuer-ICs achtet man auf möglichst kurze Anbindungen der Entkoppelkondensatoren. Dies ist wichtig, damit das IC saubere Spannungen zur Verfügung gestellt bekommt. Am wichtigsten ist dabei die Entkopplung der Referenzspannung bzw. die Spannung, von der die interne Referenzspannung erzeugt wird. Diese muss sehr sauber sein, weil sich ansonsten Störungen auf dem Steuerteil ausbreiten und zu falschen Signalen führen. Bauelemente die zur Programmierung des Steuer-ICs dienen, wie z.B. das Stromlimit, die Schaltfrequenz, der Sanftanlauf (Soft-Start), werden auf eine Masseinsel bezogen die direkt am GND-pin des Steuer-ICs angeschlossen wird. Besitzt das Steuer-IC getrennte Anschlüsse für Signal GND (SGND) und Power GND (PGND), dann wird die Masseinsel zunächst an SGND und von dort mit einer kurzen Verbindung direkt an PGND angeschlossen. Zwischen SGND und PGND dürfen keine Spannungsdifferenzen entstehen da sonst Latch-up am Steuer-IC auftreten kann.

Der Steuerteil des Steuer-ICs ist sehr störempfindlich. Daher achtet man auch hier auf kurze, möglichst parallel geführte Leiterbahnen, um die Gefahr von Störeinstrahlungen zu minimieren. Der Ausgangsspannungsteiler wird sehr nahe an das Steuer-IC gelegt und auf SGND bezogen. Jegliche Spannungsdifferenz zwischen dem Massepotential des Steuer-ICs und dem Massepotential des Ausgangsspannungsteilers macht sich als Fehler bei der Ausgangsspannung bemerkbar. Darüberhinaus verstärkt der Fehlerverstärker jegliche Störung die über den Ausgangsspannungsteiler hereinkommt. Wird hier über eine parasitäre kapazitive Kopplung von

1pF ein Signal mit einer Spannungsänderungsgeschwindigkeit von 1V/ns eingekoppelt (z.B. das Signal des Switch nodes), dann kann das leicht einen Strom von 1mA hervorrufen. Bedenkt man dass die Impedanz an den Fehlerverstärkereingängen im Bereich von 1...10kOhm liegt, so kann dieser Strom beträchtliche Störungen am Fehlerverstärkereingang hervorrufen. Diese äußern sich meist als zufällige Gatetreiberimpulse oder als Schwingung, weil die Stromversorgung versucht, diesen Fehler auszuregeln. Deshalb muss die Leitung vom Ausgang der Stromversorgung zum Ausgangsspannungsteiler soweit wie möglich weg von Punkten mit hohem  $dV/dt$  verlegt werden.

## 6. Layout für die Prototypenserie

Beim Layout für die Prototypenserie macht es Sinn optionale Bauelemente zu berücksichtigen. Sinnvoll kann es z.B. sein, einen Abschlusswiderstand in Serie zum oberen Ausgangsspannungsteilerwiderstand vorzusehen. Er dient zum Abschluss der Signale eines Netzwerkanalysators zur Messung der Regelschleife. Manchmal müssen auch die MOSFET Gate-Treibersignale in ihrer Flankensteilheit verändert werden. Somit sollte man Platz für einen Serienwiderstand in der Gateleitung vorsehen. Auf der Leiterplatte für die Serienfertigung werden diese Bauteile dann entweder weggelassen oder durch feste Werte ersetzt.

## Hinweise zur ersten Inbetriebnahme und zu Messungen

Vor der ersten Inbetriebnahme der Stromversorgung sollte man sich vergewissern, dass Elkos und Dioden richtig gepolt eingebaut wurden. Ebenso macht es Sinn mit einem Ohmmeter die Schaltung an kritischen Stellen auf Kurzschlüsse oder offene Verbindungen hin zu überprüfen. Die Lötstellen müssen sauber ausgeführt sein und es dürfen keine kalten Lötstellen und unerwünschte Kurzschlüsse zwischen benachbarten Lötstellen vorhanden sein.

Zur Versorgung der Stromversorgungsschaltung im Labor sollten nur strombegrenzte Labornetzteile mit einer gut gefilterten Ausgangsspannung verwendet werden. Die Zuleitung vom Labornetzteil zum Eingang der Stromversorgung erfolgt verdreht. Damit wird ihre Induktivität vermindert. Am Eingang der Stromversorgung sorgt ein zusätzlicher Elko für eine niederimpedante Anpassung.

Häufig entstehen beim Ausmessen der Stromversorgungsschaltung Fehlinformationen oder Kurzschlüsse weil Messinstrument und Laborstromversorgung geerdet sind. Bei isolierten Netzteilen kann dies katastrophale Folgen haben, wenn z.B. Primär- und Sekundärmasse über die Erdleitung des Labornetzgerätes und des Oszilloskops kurzgeschlossen werden. Für solche Fälle sind Hochspannungsdifferenzastköpfe vorzusehen.

In vielen Fällen wird eine elektronische Last am Ausgang verwendet. Diese muss unbedingt in der Betriebsart „konstanter Widerstand“ betrieben werden. Wird nämlich die Betriebsart „konstanter Strom“ oder „konstante Spannung“ gewählt, dann werden die Regelkreise der Stromversorgung und der Last gegeneinander ankämpfen. Dies führt unweigerlich zu Schwingungen und es scheint, als wäre der Regelkreis der Stromversorgung instabil. Bevor aber die Schuld in einer falschen Kompensation des Regelkreises in der Stromversorgung gesucht wird, sollte man sich vergewissern die elektronische Last auch wirklich in der Betriebsart „konstanter Widerstand“ zu betreiben.

Zur Überprüfung der richtigen Funktion des Schaltnetzteils dient häufig ein Oszilloskop, um die verschiedenen Spannungsverläufe zu verifizieren. Dabei stellt die Unterscheidung zwischen dem tatsächlich gemessenen Signal und der Störspannung ein Problem dar. Die hohen Flankensteilheiten erzeugen im Schaltnetzteil eine Menge EMI. Am Tastkopf bildet die lange Masseleitung mit der Krokodilklemme eine hervorragende Antenne, um diese Störspannung aufzufangen und dem Nutzsignal zu überlagern. Deshalb führt man die Messung am Besten ganz ohne die Messkopfklemme und die Masseleitung mit der Krokodilklemme durch. An deren Stelle verwendet man kleine Tastkopfadapter (siehe Bild 12), die vom Oszilloskophersteller bezogen werden können. Die Adapter werden direkt an die zu messende

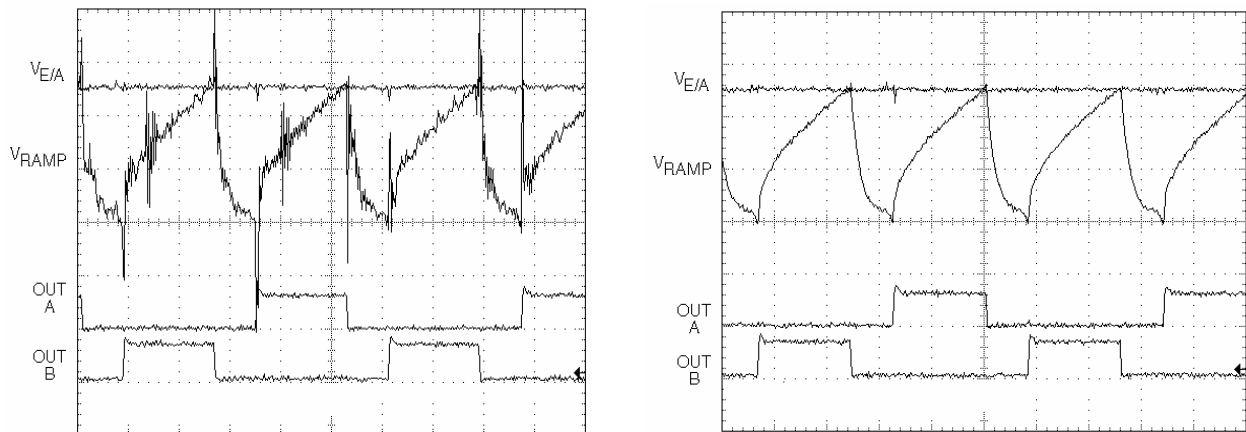
Stelle in der Schaltung gelötet und der Tastkopf einfach eingesteckt. Der Masseanschluss erfolgt durch Anlöten eines kurzen Drahtes an die Außenseite des Adapters und an den Massepunkt des Schaltnetzteils. Der Massepunkt der Schaltung ist übrigens immer der Masseanschluss des Steuer-ICs. Ein falscher, unruhiger Massepunkt erzeugt prinzipiell immer falsche Messergebnisse.

Wird etwas mehr Bewegungsfreiheit benötigt, so lässt sich der Adapter auch als Tastkopf umbauen, indem man eine kurze Verlängerung vorsieht und die Masseverbindung über eine flexible Leitung gestaltet. Dabei sollte man jedoch immer bedenken, dass jede Verlängerung auch eine größere Leiterschleife nach sich zieht, welche als Antenne wieder Störeinstrahlungen auf sammeln kann. Daher ist die Schleife so klein wie nötig zu halten.



*Bild 12: Zur Messung der Wellenformen in Schaltnetzteilen sollten nur einlötbare Tastkopfadapter zum Einsatz kommen*

Bild 13 stellt zwei Messungen am gleichen Schaltungspunkt mit unterschiedlichen Tastkopfanbindungen gegenüber. Beim linken Bild wurde das Signal mit dem herkömmlichen Messkopf und der ca. 15cm langen Masseklemme gemessen. Man erkennt deutlich die überlagerten Störungen. Im rechten Bild wurde das gleiche Signal mit Hilfe des eingelöteten Tastkopfadapters gemessen. Diese Messung liefert ein wesentlich saubereres Signal.



*Bild 13: Messung mit herkömmlichen Tastkopf und Masseklemme (links) und mit Tastkopfadapter (rechts)*

### **Beispiel aus der Praxis**

Zum Abschluss soll ein Beispiel aus der Praxis den Einfluss des Layouts auf die Leistungsfähigkeit einer Stromversorgungsschaltung demonstrieren. Im Labor wurde dazu die gleiche Schaltung mit je zwei unterschiedlichen Layouts aufgebaut und ausgemessen. Die Spezifikation der Stromversorgung zeigt Tabelle 3. Sie könnte z.B. in Industrieanwendungen zum Einsatz kommen.

Parameter	Kürzel	Min	Nom	Max	Einheit
Eingangsspannung	Vin	16	24	36	V
Ausgangsspannung	Vout	4.7	5	5.3	V
Ausgangsstrom	Iout	.3	3	4	A
Ausgangsspannungswelligkeit	Vout,ripple			100	mV
Umgebungstemperaturbereich	Ta	-40	25	85	C
Wirkungsgrad bei Nominallast	N	80			%

Tabelle 2: Spezifikation der Testschaltung

Als Kontrollbaustein wurde der TPS40055 von Texas Instruments gewählt. Eine kleine Software die von der Webseite des Herstellers herunter geladen werden kann, lieferte unter Verwendung eines im Labor vorhandenen MOSFET Typs und Induktivität den abgebildeten Schaltungsvorschlag:

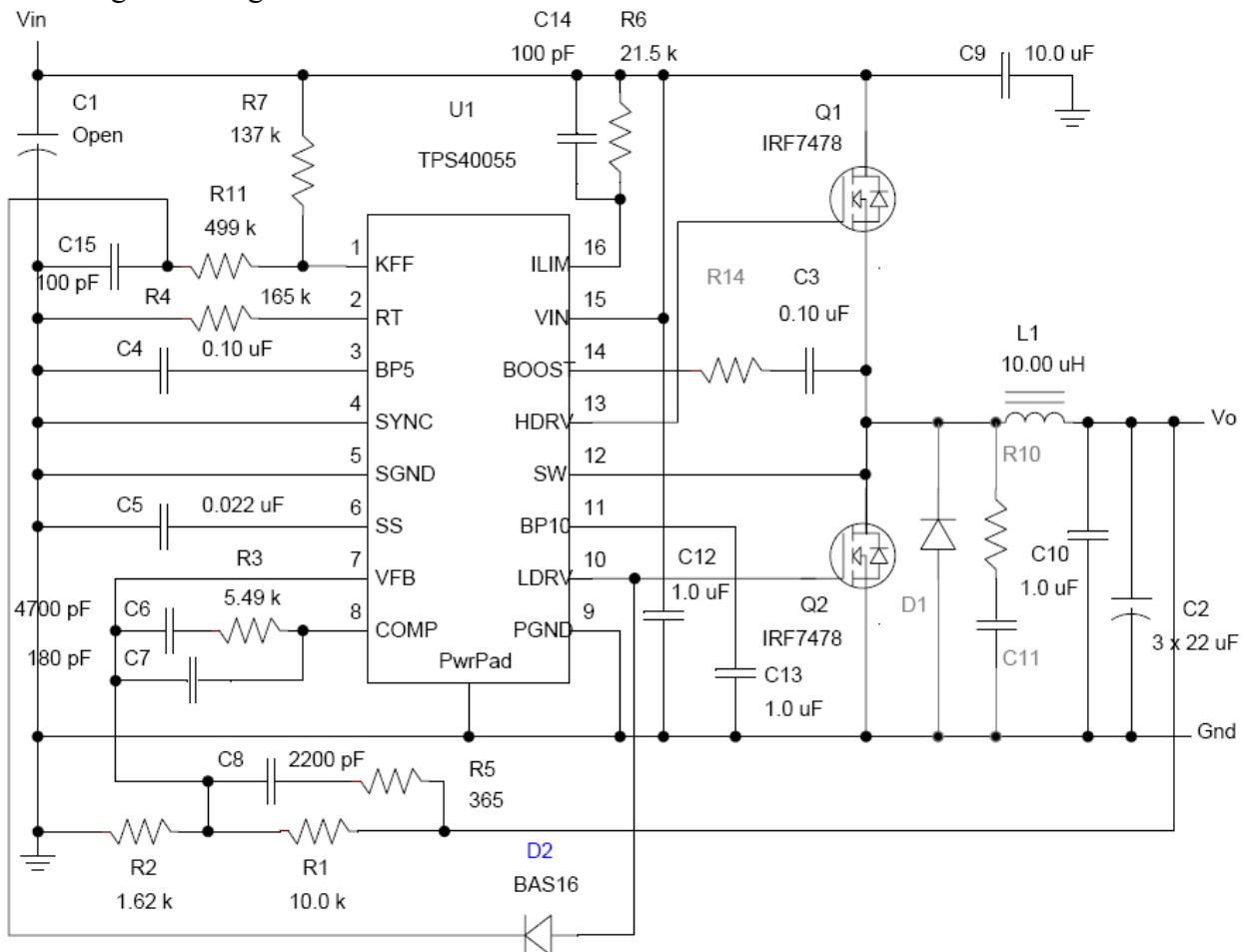


Bild 14: Schaltplan der Design Software

Für das Design wurde daraus der folgende Stromlaufplan erstellt:

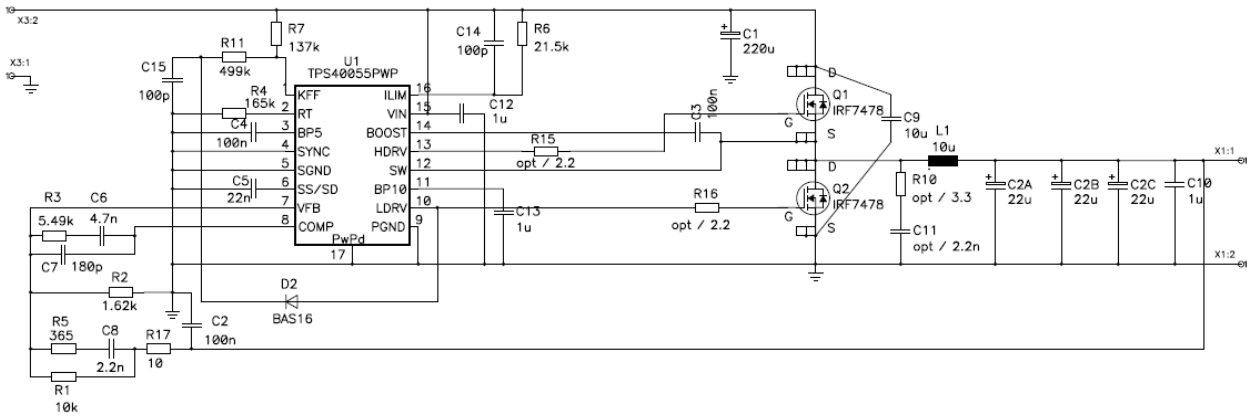


Bild 15: Stromlaufplan der Stromversorgungsschaltung

Im Gegensatz zum vorgegebenen Stromlaufplan der Software wurde im endgültigen Stromlaufplan ein 100Ohm Widerstand in die Rückkopplungsleitung eingefügt, um einen Netzwerkanalysator anzuschließen. Außerdem wurden noch optionale Widerstände für die Gateleitungen und ein Filterkondensator in der Ausgangsfühlerleitung vorgesehen. Aus diesem Stromlaufplan wurden dann die beiden folgenden Layouts erstellt.

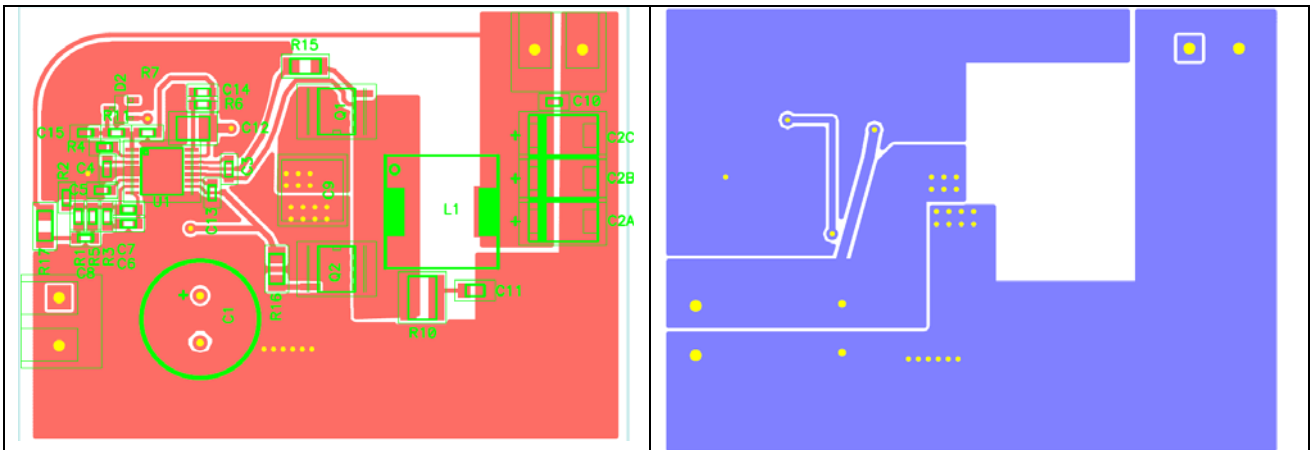


Bild 16: Layout 1 (Bestückseite links, Lötseite rechts)

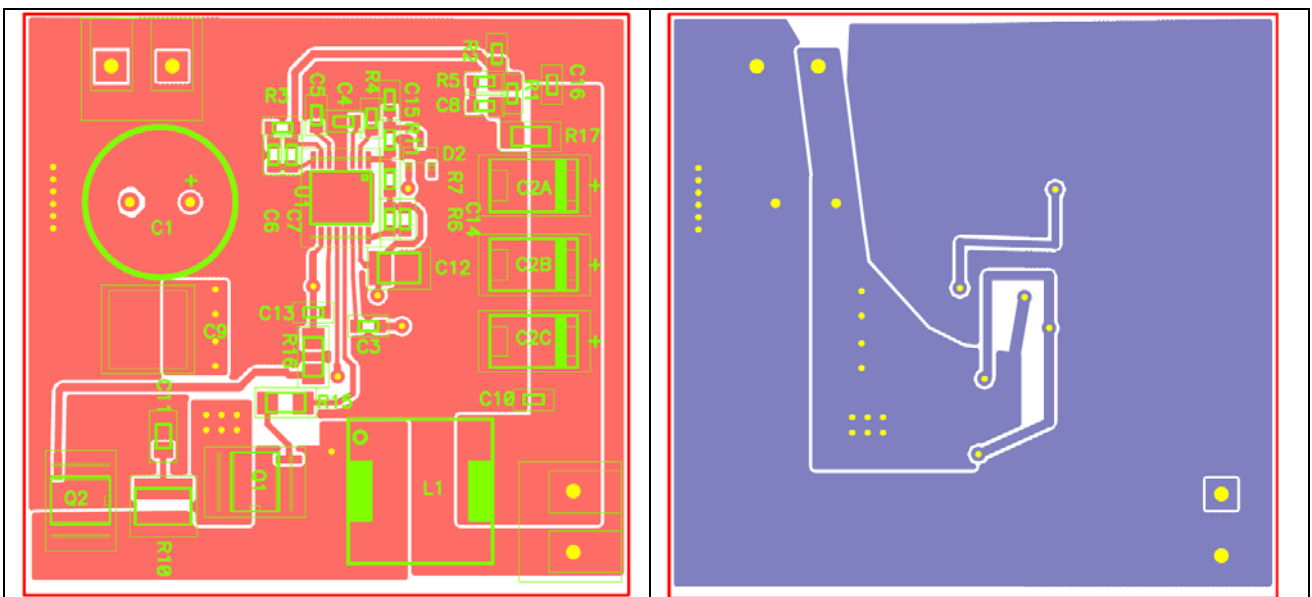


Bild 17: Layout 2 (Bestückseite links, Lötseite rechts)

Gemessene Parameter der beiden Schaltungen:

	Layout 1	Layout 2
Wirkungsgrad bei 24Vin, 4Aout (ohne Snubber)	88.43%	87.12%
Ausgangsspannungswelligkeit	29mV	44mV

Wirkungsgrad und Verluste Layout 1	Wirkungsgrad und Verluste Layout 2

Tabelle 3: Messwerte für die beiden Layouts

Die Unterschiede in den Wirkungsgraden sind in erster Linie auf ohmsche Verluste im Layout 2 zurück zu führen.

Oszillogramme:

Alle Messungen wurden bei 24V Eingangsspannung (Bild 18 mit 36V) und Nennlast = 4A durchgeführt.

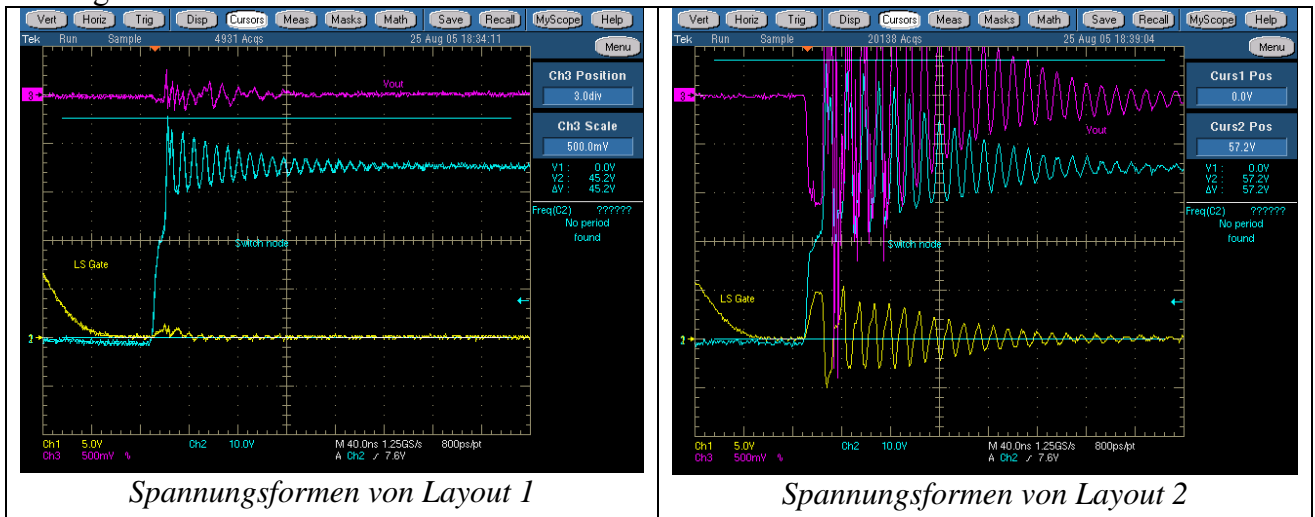
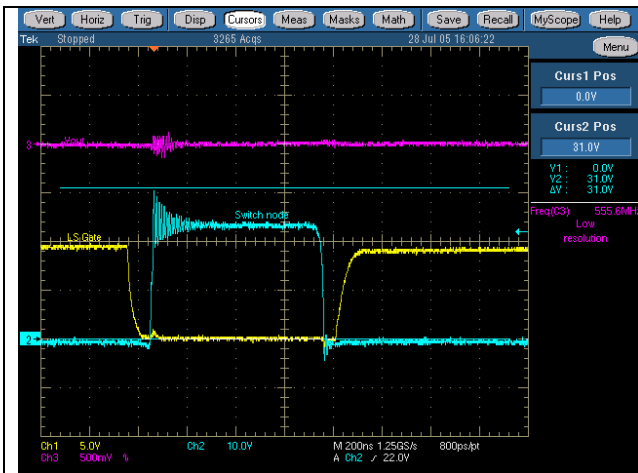
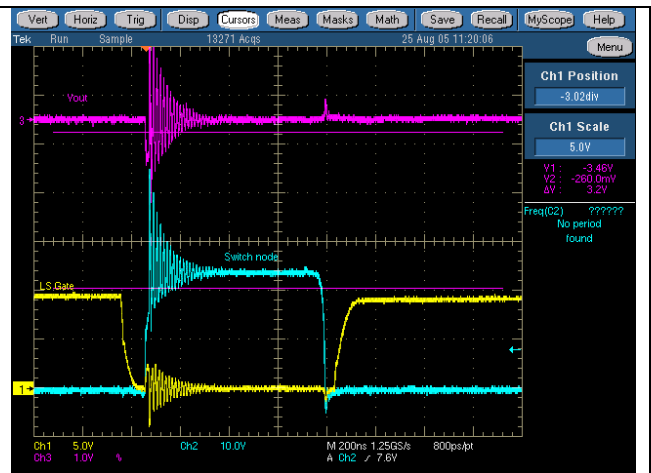


Bild 18: Vout, Switch node und GS Spannung am unteren MOSFET bei Vin=36V und ohne Snubber Netzwerk. **Ohne** Gatewiderstände.

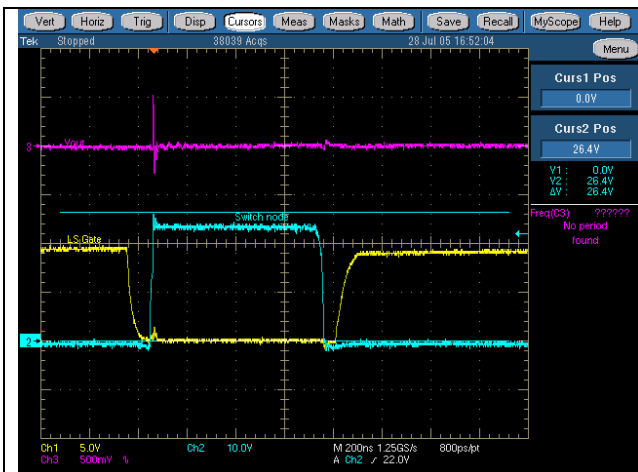


Spannungsformen von Layout 1

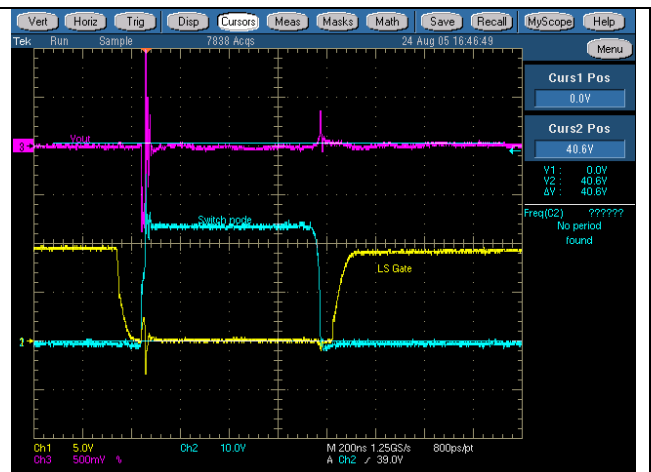


Spannungsformen von Layout 2

Bild 19: Vout, Switch node und GS Spannung am unteren MOSFET ohne Snubber Netzwerk. Mit Gatewiderständen. Unterschiedliche Maßstäbe für Vout.

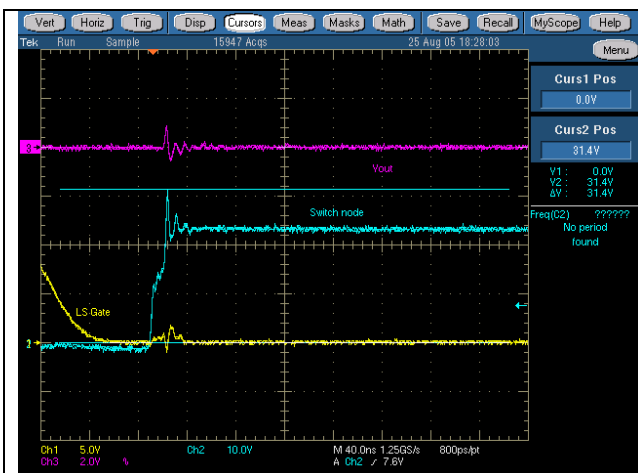


Spannungsformen von Layout 1

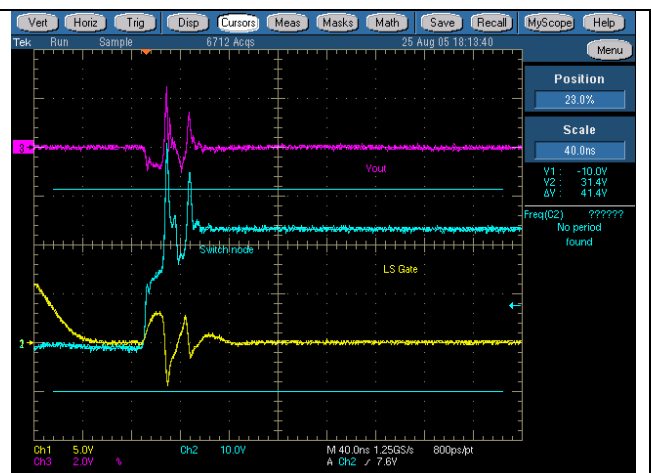


Spannungsformen von Layout 2

Bild 20: Vout, Switch node und GS Spannung am unteren MOSFET mit Snubber Netzwerk. Mit Gatewiderständen.

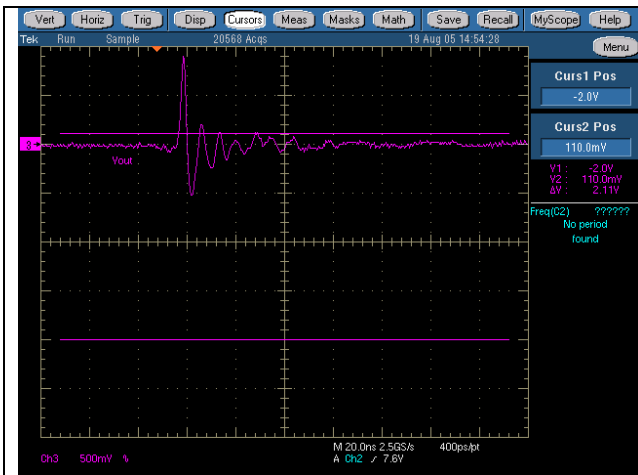


Spannungsformen von Layout 1



Spannungsformen von Layout 2

Bild 21: Vout, Switch node und GS Spannung am unteren MOSFET mit Snubber Netzwerk. Ohne Gatewiderstände.

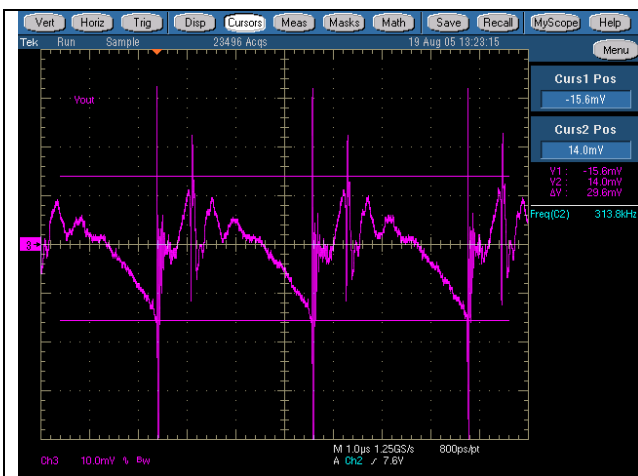


Spannungsformen von Layout 1

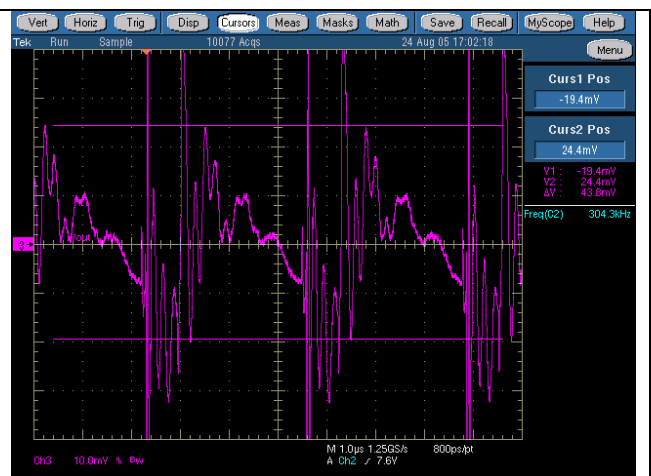


Spannungsformen von Layout 2

Bild 22: Vout, mit Snubber Netzwerk, ohne Gatewiderstände. Unterschiedliche Maßstäbe!

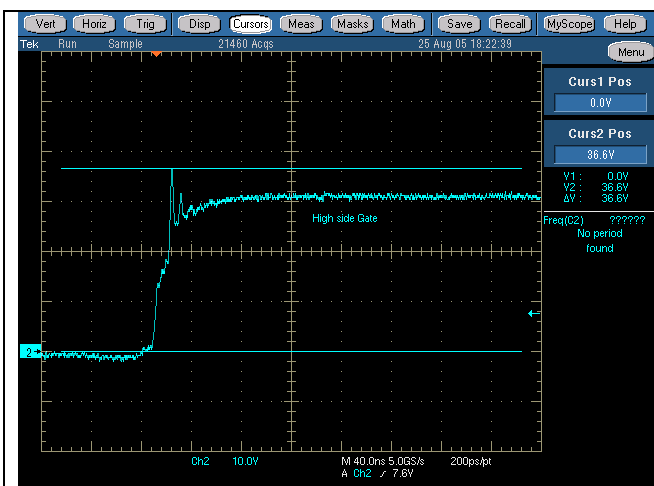


Spannungsformen von Layout 1

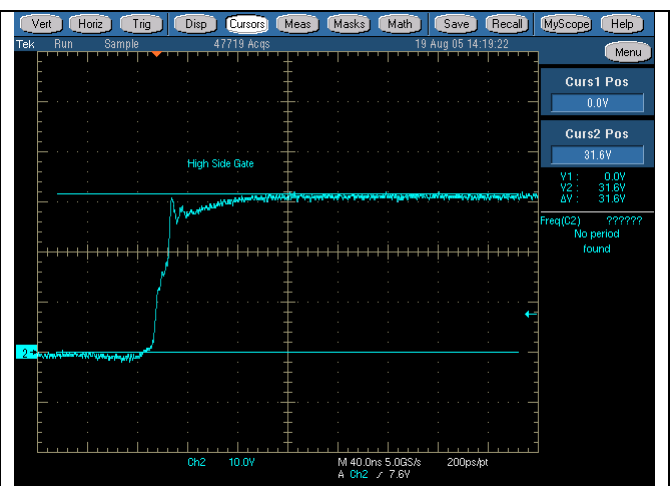


Spannungsformen von Layout 2

Bild 23: Ausgangsspannungswelligkeit, mit Snubber Netzwerk und Gatewiderständen.



Ohne Gate Widerstand und Snubber



Mit Gate Widerstand und Snubber

Bild 24: Einfluss des Gatewiderstandes auf Überschwinger: Messung an Layout C

Der Vergleich der Messergebnisse der beiden Stromversorgungsschaltungen mit unterschiedlichem Layout belegt eindrucksvoll die Wichtigkeit eines guten Layouts. Schaltung 1 zeigt deutlich weniger Überschwinger und wesentlich weniger Ausgangsspannungswelligkeit. Schaltung 2 dürfte



gar nicht ohne Snubber mit 36V betrieben werden. Sekunden nach der Aufnahme des Oszillogramms in Bild 18, ging das Steuer-IC kaputt. Ursache waren die massiven Überschwinger von über 57V am Switch node (pin12). Die maximal zulässige Spannung an diesem Pin von 45V wurde damit um 12V überschritten. Die Ursache der Überschwinger sind in der langen Gatetreiberleitung zum oberen MOSFET zu suchen. In Bild 22 und 23 wurde die Ausgangsspannung oszillographiert. Bild 22 stellt die Ausgangsspannungsstörungen beim Einschalten des High Side FET dar. Beim Layout 2 ist die Störung doppelt so groß wie bei Layout 1. Bild 23 zeigt die Ausgangsspannungswelligkeit. Die Welligkeit bei Layout 2 ist hier wiederum wesentlich größer als bei Layout 1. Das liegt an der Anordnung der Ausgangskondensatoren im Verhältnis zur Last. In Layout 1 liegen die Kondensatoren quasi in Reihe zur Last während sie bei Layout 2 parallel zur Last liegen. In Layout 1 *muss* der Strom erst die Kondensatoren passieren bevor er die Last erreicht. Bei Layout 2 hingegen *kann* der Strom die Kondensatoren passieren, tut es aber nur unzureichend, da ihm die Leiterbahnimpedanz im Weg liegt. Prinzipiell sollten Kondensatoren daher immer so angeordnet werden, dass dem Strom quasi gar keine andere Wahl bleibt als auf dem Weg zur Senke an ihnen vorbei zu fließen. Bild 24 zeigt schließlich noch den Einfluss eines Gatewiderstandes auf Überschwinger. Hier sieht man deutlich wie ein Widerstand die Stromanstiegsgeschwindigkeit verringert und damit den Schwingkreis aus Leiterbahninduktivität und MOSFET Gatekapazität weniger stark anregt. Dies äußert sich in geringeren Überschwängern.

### **Zusammenfassung**

Es wurde gezeigt, welchen signifikanten Einfluss das Layout auf die Funktionsfähigkeit einer Stromversorgung hat. Prinzipiell sollte das Layout immer induktivitätsarm und niederohmig erfolgen. Leiterschleifen sind zu minimieren, Steuer- und Leistungsteil strikt zu trennen. Werden diese Grundregeln missachtet, ist ein zuverlässiger Betrieb der Stromversorgung nicht möglich. Die Messungen am Ende des Artikels belegen dies eindrucksvoll.

### **Danksagung**

Der Autor möchte sich an dieser Stelle bei Renate Flesch bedanken. Ohne ihre Mithilfe wäre dieser Artikel nicht möglich gewesen. Sie hat sämtliche Layouts und Schaltpläne gezeichnet sowie die Testboards angefertigt und ausgemessen.

### **Literaturnachweis:**

- [1] Robert Kollman, *“Constructing Your Power Supply – Layout Considerations”*, Texas Instruments Power Supply Design Seminar SEM1600, Topic 4, TI Literature number SLUP224 <http://www-s.ti.com/sc/techlit/slup230.pdf>
- [2] Bill Andreycak, Bob Mammano, *“Practical Considerations in Troubleshooting and Optimizing Power Supply Control Circuits and PCB”*, Texas Instruments Online Seminar <http://training.ti.com/courses/coursedescription.asp?iCSID=1150>
- [3] Prof. Dr. T. Wolf, *„Schaltungstechnik“* Vorlesungsskript der Fachhochschule Landshut, [http://www.fh-landshut.de/~wlf/schT/Vorlesung/ST\\_1.pdf](http://www.fh-landshut.de/~wlf/schT/Vorlesung/ST_1.pdf)
- [4] Phil Rogers, *“Board layout boosts power-supply performance”*, Seite 175...178, EDN Magazin November 5, 1998, <http://www.edn.com/archives/1998/110598/pdfs/23ms435.pdf>